

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-218240

(43)Date of publication of application : 27.09.1986

(51)Int.Cl.

H04L 7/08

H04J 3/06

(21)Application number : 60-059868

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.03.1985

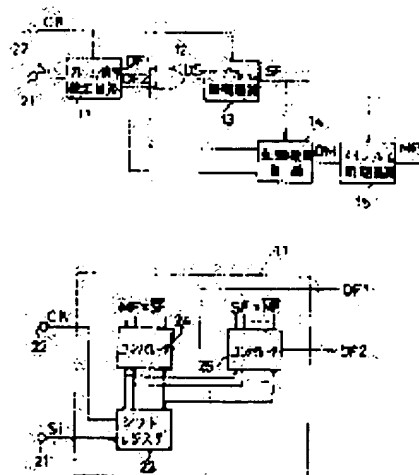
(72)Inventor : NAKAMURA MAKOTO

(54) FRAME SYNCHRONIZING SYSTEM

(57)Abstract:

PURPOSE: To establish main frame synchronization by using a reception signal having phase uncertainty to detect a received synchronizing signal including the 1st and 2nd synchronizing signals and a signal having a different phase thereby establishing a sub-frame synchronization and comparing the signal with the received synchronizing signal before one sub-frame period.

CONSTITUTION: The frame synchronization circuit consists of a frame signal detection circuit 11, an OR circuit 12, a sub-frame synchronizing circuit 13, a differential detection circuit 14 and a main frame synchronizing circuit 15. Since the 1st synchronizing signal MF and the 2nd synchronizing signal SF are in the relation where 0, 1 levels are inverted, the sub-frame synchronization is attained without increasing the number of detectors especially. Since it is utilized that the reception synchronizing signal received at present and the received synchronizing signal existing before one sub-frame period differ at the tip of the main frame only and the main frame synchronization is established by comparing the both, the sure main frame synchronization is established without using a main frame detection detector 15 and a sub-frame detection detector 13 separately.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Partial Translation of JPP'240

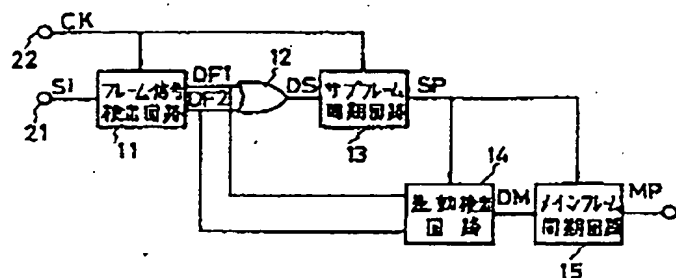
S61-218240

Thus, at the transmitting side, a digital signal to be transmitted is in a multi frame configuration in which it is divided into a plurality of main frames each of which is, in turn, divided into N sub frames, as shown in Si of Fig. 4. Each one sub frame includes k bits data and an 1 bit synchronization signal is inserted into the top position of the sub frame. A first synchronization signal MF, which indicates the top position of both the main frame and the sub frame, is inverted by 0.1 with respect to a second synchronization signal SF indicating the top of other sub frames so that these signals are set as MF = 0010111 and SF = 1101000, for example.

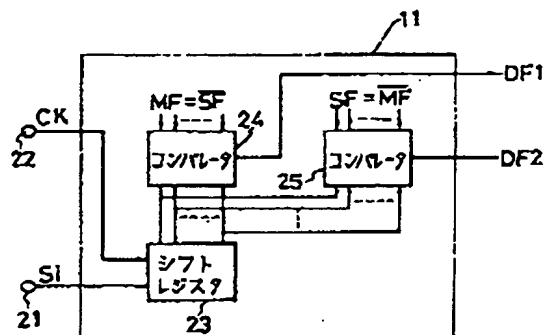
詳細を示すブロック図、第3図は同フレーム同期回路の差動検出回路の更に詳細を示すブロック図、第4図は同フレーム同期回路の動作を説明するためタイミング図、第5図はマルチフレームディジタル信号の構成を示す図である。

11…フレーム信号検出回路、12…OR回路、
13…サブフレーム同期回路、14…差動増幅回路、
15…メインフレーム同期回路。

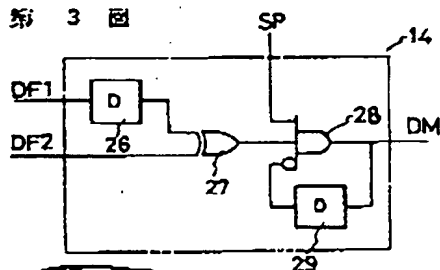
第 1 図



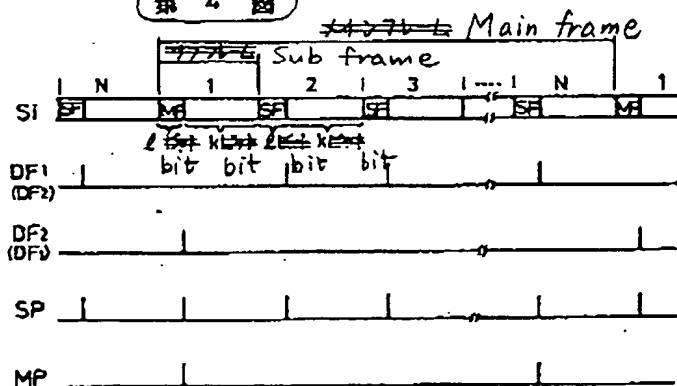
第 2 図



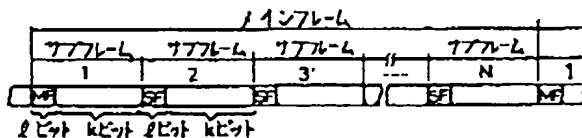
第 3 図



第 4 図



第 5 図



⑫ 公開特許公報(A)

昭61-218240

⑪ Int. Cl.⁴H 04 L 7/08
H 04 J 3/06

識別記号

庁内整理番号

A-6745-5K
A-8529-5K

⑬ 公開 昭和61年(1986)9月27日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 フレーム同期方式

⑮ 特 願 昭60-59868

⑯ 出 願 昭60(1985)3月25日

⑰ 発 明 者 中 村 誠 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

フレーム同期方式

2. 特許請求の範囲

メインフレームをさらに複数のサブフレームに分割して構成されるとともに、前記メインフレーム兼前記サブフレームの先頭位置を示す第1の同期信号と、前記サブフレームの先頭位置を示す第2の同期信号とが挿入され、前記第1の同期信号と前記第2の同期信号とが互いに0, 1反転した関係にある位相変調されたデジタル信号系列を受信し、前記サブフレームおよび前記メインフレームの同期を確立するフレーム同期方式において、受信された位相不確実性を有する受信信号から前記第1、第2の同期信号およびこれら同期信号と位相のみ異なる信号を含む受信同期信号を検出してサブフレーム同期を確立し、さらに前記受信同期信号とこの受信同期信号の1サブフレーム期間前の受信同期信号とを比較することによって前記メインフレーム同期を確立することを特徴とする

フレーム同期方式。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、いわゆるマルチフレーム構成のデジタル信号系列の中から同期信号を検出し、フレーム同期を確立するフレーム同期方式に関する。

(発明の技術的背景とその問題点)

デジタル信号の伝送に際しては、デジタル信号系列を一定時間長のフレームで区切り、このフレームの先頭にフレーム同期信号を挿入して送信するとともに、受信側で上記フレーム同期信号を検出してフレーム位置を確定することがしばしば行なわれる。これは、例えばPCM信号の伝送に際して、MSBあるいはLSBの位置を受信側で正しく検出しなければ、信号を正しく復元できないためである。フレーム構成も、通常、メインフレームとこのメインフレームを更に細分化したサブフレームとを階層的に組合わせた多重構造のマルチフレーム構成にすることが多い。

第5図は二重構成のマルチフレームデジタル

信号の例である。すなわち、このデジタル信号は、データ k ビット毎に l ビットのサブフレーム同期信号（第2の同期信号） SF を挿入して1サブフレームを構成し、さらに N サブフレーム毎に l ビットのサブフレーム兼メインフレーム同期信号（第1の同期信号） MF を挿入したデジタル信号列からなるものである。この場合、第1の同期信号 MF と第2の同期信号 SF とを、互いに0, 1反転させて識別することが多い。これは、同期特性を良好にし、しかも検出器の簡素化を図るためからである。

このような信号系列を受信した時には、受信側では、受信信号列の中から第1および第2の同期信号を検索し、サブフレーム同期を確立した後、さらに第2の同期信号のみを検索してメインフレーム同期を確立するのが一般的である。このように、フレーム同期の確立をサブフレーム同期から段階的に行うのは、直接メインフレーム同期を検索するよりもフレーム同期を確立するまでの平均時間を短くすることができるからである。

フレーム同期信号を挿入し、その各々の位相不確実性に起因する系列を同期信号とみなすようにすることも考えられる。しかしこの場合には、従来の2倍の同期信号用検出回路を必要としフレーム同期回路が大規模なものになってしまう欠点があるばかりでなく、メインフレーム同期信号をサブフレーム同期信号とを別個に挿入しなくてはならないため、情報の伝送効率が低下するという問題があった。

また、サブフレーム同期信号とメインフレーム同期信号とを異なる系列に設定し、かつメインフレーム同期信号をサブフレーム同期信号と共用すれば、情報伝送効率の低下は防げるものの、フレーム回路が大規模化してしまううえ、サブフレーム同期信号とメインフレーム同期信号の双方をサブフレーム同期信号とみなすため、誤りのある伝送路においては、通常の伝送データを誤ってサブフレーム同期信号と認識してしまう確率が増加するという問題があった。

（発明の目的）

この例のように、メインフレームの位置を示す第1の同期信号がサブフレームの位置を示す第2の同期信号の反転信号を用いている場合には、送信データが伝送路の途中で0, 1反転されことなく正しく受信側に伝わる必要がある。

ところで、デジタル無線通信では、同じ C/N に対する符号誤り率が小さい点からデジタル信号をPSK変調して伝送するが多い。ところがこのようなPSK信号を同期検波して復調すると、受信側で再生された基準搬送波の位相不確実性によって、上記のようにサブフレーム同期信号やメインフレーム同期信号を単体で識別することができない。このため、PSK変調信号を伝送する場合には上述のような0, 1反転した2種類のフレーム同期信号を用いることが困難であった。

また、この困難を避けるため、サブフレーム同期信号を挿入するとともに、このサブフレーム同期信号の挿入された部分に加えて上記サブフレーム同期信号とは全く異なる系列からなるメインフ

本発明は、このような問題に鑑みなされたもので、その目的とするところは、伝送路で位相不確実性の生じる位相変調されたデジタル信号で、かつ0, 1反転関係にある2つの同期信号によってサブフレーム同期およびメインフレーム同期を確立するフレーム同期方式にあっても、安定にサブフレーム同期信号からメインフレーム同期信号を検出することのできるフレーム同期方式を提供することにある。

（発明の概要）

本発明は、メインフレームの先頭位置を示す第1の同期信号と、この第1の同期信号を0, 1反転させたサブフレームの先頭位置を示す第2の同期信号の他、前記同期信号に対して位相のみ異なる信号を全て受信同期信号として検出してサブフレーム同期を確立する。そして更に、検出した受信同期信号と、1サブフレーム期間前の受信同期信号とを比較することによってメインフレーム同期を確立することを特徴としている。

（発明の効果）

本発明によれば、第1の同期信号、第2の同期信号およびこれら各同期信号とは位相のみ異なる信号を受信同期信号として検出することによってサブフレーム同期を確立するようにしている。この場合、第1の同期信号と第2の同期信号とは0、1反転した関係にあるので、第1の同期信号および受信時の位相不確実性により上記第1の同期信号に対して位相のみ異なる信号と、第2の同期信号および受信時の位相不確実性により上記第2の同期信号に対して位相のみ異なる信号とは全く重複した信号となる。したがって、特に検出器を増やすことなくサブフレーム同期が可能になる。

そして、この発明では現在受信された受信同期信号と、1サブフレーム期間前の受信同期信号とが、丁度メインフレームの先頭部分でのみ異なることを利用して、両者の比較によってメインフレーム同期を確立するようにしているので、メインフレーム検出用の検出器とサブフレーム検出用の検出器とを別個に用いることなく、確実なメインフレーム同期を確立することができる。

ットのデータを含み、その先頭位置に ℓ ビットの同期信号を介挿したものとなっている。同期信号のうちメインフレームの先頭とサブフレームの先頭とを兼用する第1の同期信号MFは、他のサブフレームの先頭を示す第2の同期信号SFに対して0、1反転した信号となっており、例えばMF=0010111、SF=1101000の如く設定される。

この信号は、PSK変調されて送信され、受信側で図示しない公知のPSK同期検波回路によって復調される。復調された受信デジタル信号Siは、前述したように位相不確実性を含んだ信号である。

この受信デジタル信号Siは、端子21を介してフレーム信号検出回路11に入力される。一方、図示しない公知のクロック再生手段は、上記デジタル信号Siからクロック再生を行い、これによって得られたクロック信号CKは、端子22を介してフレーム信号検出回路11に導入される。このフレーム信号検出回路11は、具体的には第2図に

しかも、この発明によれば、第1の同期信号がメインフレーム兼サブフレーム検出用の同期信号であることから情報伝送効率の低下がなく、また第1および第2の同期信号は0、1反転した信号であるので、フレーム同期特性を損うこともない。

(発明の実施例)

以下、図面を参照しながら本発明の一実施例について説明する。

第1図は、本発明を2相PSK変調されて伝送されたデジタル信号の受信側に適用した実施例を示す図であり、フレーム同期回路の概略構成を示すものである。このフレーム同期回路は、フレーム信号検出回路11、OR回路12、サブフレーム同期回路13、差動検出回路14およびメインフレーム同期回路15を備えて構成される。

即ち、送信すべきデジタル信号は、送信側において第4図中Siで示すように複数のメインフレームに分割され、一つのメインフレームを更にN個のサブフレームに分割されたマルチフレーム構成となっている。一つのサブフレームは、kビ

示すように構成されている。即ち、受信デジタル信号Siはクロック信号CKに同期して1ビットずつシリアルに ℓ ビットのシフトレジスタ23に導かれる。このシフトレジスタ23の出力は、コンパレータ24によって第1の同期信号MF(=SF)と比較される。コンパレータ24は、両者が一致した時に単一パルスの一致信号DF1を出力する。また、シフトレジスタ23の出力は、コンパレータ25によって第2の同期信号SF(=MF)と比較される。コンパレータ25は、両者が一致した時に単一パルスの一致信号DF2を出力する。これによって各サブフレームの先頭位置が検出される。上記2つの同期信号SF、MFは互いに0、1反転した関係にあるので、同期検波時に正しい位相で検波された場合とそうでない場合とでは、メインフレームの先頭位置検出時に出力される一致信号がDF1であるかDF2であるかにおいて異なる。

これら一致信号DF1、DF2は、OR回路12で論理和をとられ、サブフレーム検出パルスDS

としてサブフレーム同期回路13に導かれる。サブフレーム同期回路13は、前方保護および後方保護を付与した公知の同期回路で構成され、OR回路12から入力されるサブフレーム検出パルスDSからクロック信号CKに同期して $l+k$ ビット毎に出力される安定したサブフレーム同期パルスSPを生成する。このサブフレーム同期パルスSPは、差動検出回路14およびメインフレーム同期回路15に動作クロックとして供給される。

差動検出回路14には、上記のサブフレーム同期パルスSPと、前述した一致信号DF1, DF2とが供給されている。この差動検出回路14は、メインフレームの先頭位置を検出する回路であり、具体的には第3図に示すように構成されている。即ち、一致信号DF1は、1サブフレーム期間だけ遅延させる遅延回路26を介してEX-OR回路27の一方の入力端に導入される。また、EX-OR回路27の他方の入力端には一致信号DF2が導入される。EX-OR回路27は、1サブフレームを単位として両者の差動信号を得る。DF2と

順時の上記EX-OR回路27からの“1”レベル信号がAND回路28の出力に影響を与えるのを防止し、第1サブフレームの先頭と第2サブフレームの先頭で出力される“1”レベル信号のうち、第1のサブフレームの“1”レベル信号出力時にのみサブフレーム同期パルスSPに同期して単一パルスのメインフレーム検出パルスDMを出力する。

このパルスDMは、メインフレーム同期回路15に供給されている。メインフレーム同期回路15は、サブフレーム同期回路13と略同様の構成となっており、サブフレーム同期パルスSPに同期して動作をし、上記メインフレーム検出パルスDMからメインフレーム同期を確立し、 $N(l+k)$ ビット毎に端子31にメインフレーム同期パルスMPを出力する。以上のようにしてメイン同期パルスMPが生成される。

このように、本実施例によれば、復調時の基準搬送波の位相に拘らず、正しいメインフレーム同期パルスを生成することができる。しかもこの場

合、第1サブフレーム期間遅延させたDF1とが異なるのは、第1サブフレームの先頭位置検出時および第2サブフレームの先頭位置検出時のみであり、これは同期検波時に基準搬送波の位相が π だけ異なった場合、つまりDF1とDF2とが入替わった場合でも同様である。したがって、EX-OR回路27は、第1および第2サブフレームの先頭位置検出時に“1”レベルを出力し、他の期間は“0”レベルを出力する。EX-OR回路27の出力は、AND回路28に導入される。このAND回路28にはサブフレーム同期パルスSPが導入されている。したがって、AND回路28は上記パルスSPに同期して動作を行う。また、AND回路28には、遅延回路29によって1サブフレーム期間遅延させた自身の出力が反転されて入力されている。したがって、このAND回路28は、上記EX-OR回路27からの信号が“1”レベルで、かつ1サブフレーム期間前にはメインフレーム同期パルスが存在しなかった場合にのみ、その出力を“1”レベルにする。これによって第2サブフレーム先

合、第1の同期信号MFと第2の同期信号SFとはそれぞれ0, 1反転した関係にあるので、同期検波時の位相不確実性に起因する受信同期信号のパターンは、全部で2種類だけである。従って、必要とするコンパレータの数も必要最少限で済むことになる。

なお、本発明は、上述したように2相PSK同期検波によって復調された信号のみに適用範囲を限定されるものではなく、例えば4相PSK変調あるいは4相オフセットPSK変調を用いて信号を伝送する場合でも同様に適用が可能である。4相PSKの場合には、フレーム信号検出回路は入力信号を4種類の信号系列と比較することになり、差動検出回路も4種類の信号を入力することになるが、その基本は前述した実施例のものと大差は無い。

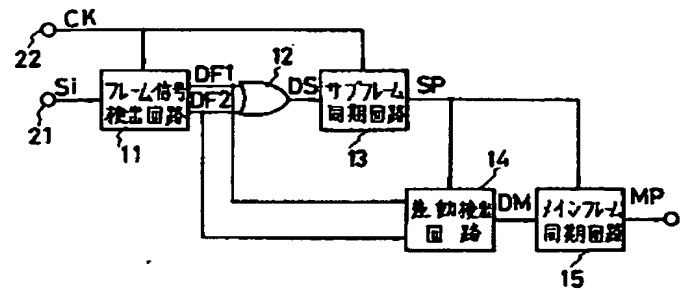
4. 図面の簡単な説明

第1図は本発明の一実施例に係るフレーム同期回路の構成を示すブロック図、第2図は同フレーム同期回路におけるフレーム信号検出回路の更に

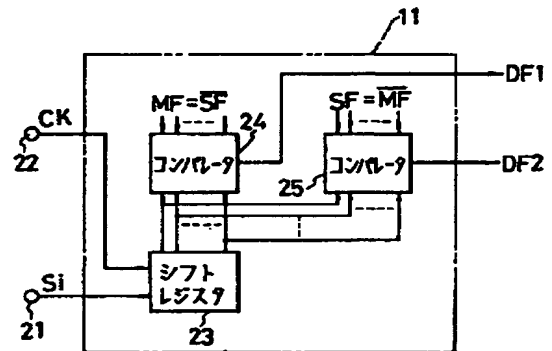
詳細を示すブロック図、第3図は同フレーム同期回路の差動検出回路の更に詳細を示すブロック図、第4図は同フレーム同期回路の動作を説明するためタイミング図、第5図はマルチフレームデジタル信号の構成を示す図である。

11…フレーム信号検出回路、12…OR回路、
13…サブフレーム同期回路、14…差動増幅回路、
15…メインフレーム同期回路。

第 1 図

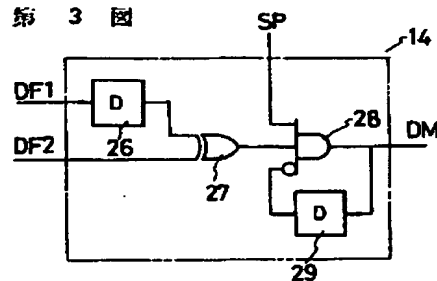


第 2 図

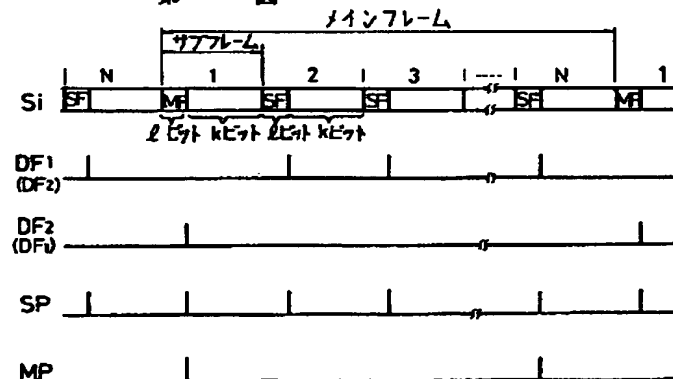


出願人代理人 弁理士 鈴江武彦

第 3 図



第 4 図



第 5 図

